

**Family list**

1 family member for:

**JP2004354758**

Derived from 1 application.

**1 LIQUID CRYSTAL DISPLAY**

Publication info: **JP2004354758 A** - 2004-12-16

Data supplied from the **esp@cenet** database - Worldwide

DIALOG(R)File 347:JAPIO  
(c) 2006 JPO & JAPIO. All rts. reserv.

08241998      \*\*Image available\*\*

## LIQUID CRYSTAL DISPLAY

PUB. NO.: **2004-354758** [JP 2004354758 A]

PUBLISHED: December 16, 2004 (20041216)

INVENTOR(s): MORI SEIICHIRO  
MURAI HIROYUKI  
NISHINO ISAO

APPLICANT(s): MITSUBISHI ELECTRIC CORP

APPL. NO.: 2003-152999 [JP 2003152999]

FILED: May 29, 2003 (20030529)

INTL CLASS: G09G-003/36; G02F-001/133; G09G-003/20

## ABSTRACT

**PROBLEM TO BE SOLVED:** To provide a liquid crystal display which has small power consumption.

**SOLUTION:** A precharging circuit 7 of the color liquid crystal display has a capacitor 9 which has a capacity value much larger than the sum of capacity values of parasitic capacities 4 between respective source lines SL and a common electrode and receives a ground potential VSS at its one electrode, and N type TFTs 8 which are provided corresponding to the respective source lines SL and connected between the corresponding source lines SL and the other electrode of the capacitor 9 and turn on in a specified period before and after level variation of a common potential VCOM. Therefore, the source lines SL have no level variation when the common potential VCOM varies in level, the power consumption may be small.

COPYRIGHT: (C)2005,JPO&NCIPI



## 【特許請求の範囲】

## 【請求項 1】

画像信号に従って画像を表示する液晶表示装置であつて、複数行複数列に配置された複数の液晶セルと、それぞれ前記複数行に対応して設けられた複数のゲート線と、それぞれ前記複数列に対応して設けられた複数のソース線と、各液晶セルに対応して設けられ、対応の液晶セルの一方電極と対応のソース線との間に接続され、そのゲートが対応のゲート線に接続されたトランジスタとを含み、前記複数の液晶セルの共通電極の電位は所定周期で第1および第2電位に交互に切換えられる画素アレイ、前記複数のゲート線を所定時間ずつ順次選択し、選択したゲート線を選択レベルにしてそのゲート線に対応する各トランジスタを導通させるゲート線選択／駆動回路、  
前記画像信号に従って、各ゲート線が選択レベルにされている間の書込期間に前記複数のソース線の各々に階調電位を与える、前記書込期間以外の期間は前記複数のソース線の各々から電気的に絶縁されるソース線駆動回路、および各書込期間の前の第1プリチャージ期間と、前記共通電極の電位の切換時の前の第2プリチャージ期間とにおいて前記複数のソース線の各々にプリチャージ電位を与えるプリチャージ回路を備える、液晶表示装置。  
10

## 【請求項 2】

前記プリチャージ回路は、さらに、前記第2プリチャージ期間と、その直後の前記第1のプリチャージ期間との間の第3プリチャージ期間において前記複数のソース線の各々に前記プリチャージ電位を与える、請求項1に記載の液晶表示装置。  
20

## 【請求項 3】

前記プリチャージ回路は、前記複数のソース線と前記共通電極との間の寄生容量の容量値よりも大きな容量値を有し、その一方電極が基準電位を受けるキャパシタ、および各ソース線に対応して設けられ、対応のソース線と前記キャパシタの他方電極との間に接続され、前記第1および第2プリチャージ期間に導通する第1スイッチング素子を含む、請求項1に記載の液晶表示装置。  
40

## 【請求項 4】

前記プリチャージ回路は、さらに、その一方電極が前記プリチャージ電位を受け、その他方電極が前記キャパシタの他方電極に接続された第2スイッチング素子、および前記キャパシタの他方電極の電位を検出し、その検出結果に基づいて前記第2スイッチング素子を導通または非導通にさせる電位検出回路を含む、請求項3に記載の液晶表示装置。  
50

## 【請求項 5】

前記プリチャージ回路は、さらに、その一方電極が前記プリチャージ電位を受け、その他方電極が前記キャパシタの他方電極に接続され、所定周期で予め定められた時間だけ導通する第2スイッチング素子を含む、請求項3に記載の液晶表示装置。

## 【請求項 6】

前記プリチャージ回路は、各ソース線に対応して設けられ、対応のソース線と前記共通電極との間の寄生容量の容量値よりも大きな容量値を有し、その一方電極が基準電位を受けるキャパシタ、および各ソース線に対応して設けられ、対応のソース線と対応のキャパシタの他方電極との間に接続され、前記第1および第2プリチャージ期間に導通するスイッチング素子を含む、請求項1に記載の液晶表示装置。  
40

## 【請求項 7】

前記キャパシタは、他の画素アレイのソース線の寄生容量である、請求項6に記載の液晶表示装置。  
50

## 【請求項 8】

前記プリチャージ回路は、

前記第1プリチャージ期間において前記共通電極の電位が前記第1および第2電位の場合は各ソース線にそれぞれ第1および第2プリチャージ電位を与える、

前記第2プリチャージ期間において前記共通電極の電位が前記第1および第2電位の場合は各ソース線にそれぞれ前記第2および第1プリチャージ電位を与える、請求項1に記載の液晶表示装置。

【請求項9】

前記プリチャージ回路は、

各ソース線に対応して設けられ、その一方電極が対応のソース線に接続され、その他方電極が前記第1プリチャージ電位を受け、前記第1プリチャージ期間において前記共通電極の電位が前記第1電位である場合と前記第2プリチャージ期間において前記共通電極の電位が前記第2電位である場合とに導通する第1スイッチング素子、および

各ソース線に対応して設けられ、その一方電極が対応のソース線に接続され、その他方電極が前記第2プリチャージ電位を受け、前記第1プリチャージ期間において前記共通電極の電位が前記第2電位である場合と前記第2プリチャージ期間において前記共通電極の電位が前記第1電位である場合とに導通する第2スイッチング素子を含む、請求項8に記載の液晶表示装置。

【請求項10】

さらに、前記画像信号に基づいて、前記第2プリチャージ期間において前記ソース線に前記プリチャージ電位を与えるべきか否かを判定し、判定結果に基づいて前記プリチャージ回路を制御する判定回路を備える、請求項1から請求項9のいずれかに記載の液晶表示装置。

【請求項11】

前記複数のソース線は予めN本（ただし、Nは2以上の整数である）ずつグループ化され、

前記ソース線駆動回路は、

各グループに対応して設けられ、それぞれ対応のN本のソース線に対応するN個の階調電位を前記書込期間に順次出力するアンプ、および

各グループに対応して設けられ、対応のアンプから出力されたN個の階調電位をそれぞれ対応のN本のソース線に与えるマルチブレクサを含む、請求項1から請求項10のいずれかに記載の液晶表示装置。

【請求項12】

前記ソース線駆動回路は、各ソース線に対応して設けられ、前記書込期間に対応のソース線に階調電位を与え、前記書込期間以外の期間はその出力ノードがハイインピーダンス状態になるアンプを含む、請求項1から請求項10のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は液晶表示装置に関し、特に、画像信号に従って画像を表示する液晶表示装置に関する。

【0002】

【従来の技術】

従来より、液晶表示装置では、液晶の劣化防止および駆動電圧の低減化を図るため、液晶セルの一方電極および他方電極（共通電極）の電位の高低関係を所定周期で反転させる方式が採用されている。

【0003】

また、高解像度化に伴って増加するソース線駆動アンプの数を減らすため、複数のソース線に1つのソース線駆動アンプを設け、1つのソース線駆動アンプの出力ノードを複数のソース線に所定時間ずつ接続するマルチブレクサを設ける方式もある（たとえば特許文献1参照）。

【0004】

10

20

30

40

50

## 【特許文献 1】

特開平9-33891号公報

## 【0005】

## 【発明が解決しようとする課題】

しかし、上記2つの方針が採用された従来の液晶表示装置では、アンプの出力ノードに接続されていないソース線はハイインピーダンス状態にされるので、共通電極の電位が変動するとソース線および共通電極間の寄生容量を介してソース線の電位が変動し、ソース線を駆動するために消費される電力が大きくなるという問題があった。

## 【0006】

それゆえに、この発明の主たる目的は、消費電力が小さくて済む液晶表示装置を提供する 10 ことである。

## 【0007】

## 【課題を解決するための手段】

この発明に係る液晶表示装置は、画像信号に従って画像を表示する液晶表示装置であって、複数行複数列に配置された複数の液晶セルと、それぞれ複数行に対応して設けられた複数のゲート線と、それぞれ複数列に対応して設けられた複数のソース線と、各液晶セルに対応して設けられ、対応の液晶セルの一方電極と対応のソース線との間に接続され、そのゲートが対応のゲート線に接続されたトランジスタとを含み、複数の液晶セルの共通電極の電位は所定周期で第1および第2電位に交互に切換えられる画素アレイ、複数のゲート線を所定時間ずつ順次選択し、選択したゲート線を選択レベルにしてそのゲート線に対応する各トランジスタを導通させるゲート線選択／駆動回路、画像信号に従って、各ゲート線が選択レベルにされている間の書込期間に複数のソース線の各々に階調電位を与え、書込期間以外の期間は複数のソース線の各々から電気的に絶縁されるソース線駆動回路、および各書込期間の前の第1プリチャージ期間と、共通電極の電位の切換時の前の第2プリチャージ期間とにおいて複数のソース線の各々にプリチャージ電位を与えるプリチャージ回路を備えたものである。

## 【0008】

## 【発明の実施の形態】

## 【実施の形態1】

図1は、この発明の実施の形態1によるカラー液晶表示装置の構成を示す回路ブロック図 30 である。図1において、このカラー液晶表示装置は、画素アレイ1、ゲート線選択／駆動回路5、プリチャージ制御回路6、プリチャージ回路7、ソース線駆動回路10、マルチブレクサ制御回路13、およびマルチブレクサ14を備える。

## 【0009】

画素アレイ1は、複数行複数列に配置された複数の液晶セル2を含む。複数の液晶セル2は、各行において3つずつグループ化されている。各グループの3つの液晶セル2には、それぞれR, G, Bのフィルタ(図示せず)が設けられている。3つの液晶セル2は、1つの画素を構成する。

## 【0010】

また、画素アレイ1は、各液晶セル2に対応して設けられたN型TFT (Thin Film Transistor) 3と、各行に対応して設けられたゲート線GLと、各グループ列に対応して設けられたR, G, B用の3本のソース線SL1～SL3とを含む。N型TFT3は、対応のソース線SLと対応の液晶セル2の一方電極との間に接続され、そのゲートは対応のゲート線GLに接続される。液晶セル2の他方電極すなわち対向共通電極は共通電位VCOMを受ける。各ソース線SLと対向電極との間には寄生容量4が存在する。なお、各液晶セル2に対応して補助キャパシタも設けられているが、図面の簡略化のため図示は省略されている。

## 【0011】

あるゲート線GLが選択レベルの「H」レベルに立上げられると、そのゲート線GLに対応する各N型TFT3が導通する。各ソース線SLの階調電位VGは、導通したN型TFT 50

T 3 を介して液晶セル 2 の一方電極に与えられる。液晶セル 2 は、階調電位 V G と共通電位 V C O M の電位差に充電される。液晶セル 2 の光透過率は、電極間電圧に応じて変化する。

【 0 0 1 2 】

ゲート線選択／駆動回路 5 は、複数のゲート線 G L を 1 水平期間ずつ順次選択し、選択したゲート線 G L を選択レベルの「H」レベルにする。プリチャージ制御回路 6 は、プリチャージ信号 P R を出力する。プリチャージ回路 7 は、各ソース線 S L に対応して設けられたN型T F T 8 と、キャパシタ 9 とを含む。N型T F T 8 は、対応のソース線 S L の一方端とキャパシタ 9 の一方電極との間に接続され、そのゲートはプリチャージ信号 P R を受ける。キャパシタ 9 の他方電極は、接地電位 V S S を受ける。キャパシタ 9 の容量値は、ソース線 S L の寄生容量 4 の容量値の総和よりも十分大きな値に設定されている。 10

【 0 0 1 3 】

プリチャージ信号 P R が活性化レベルの「H」レベルに立上げられると、各N型T F T 8 が導通し、全ソース線 S L の一方端が短絡されて全ソース線 S L の電位がイコライズされる。このとき各ソース線 S L の電位 V P は、通常はソース線 S L の電位の「H」レベル V S H と「L」レベル V S L の中間レベル ( V S H + V S L ) / 2 になる。キャパシタ 9 の一方電極は、その電位 V P に充電される。

【 0 0 1 4 】

ソース線駆動回路 10 は、ソース制御回路 11 と、各グループ列に対応して設けられたアンプ 12 を含む。マルチブレクサ制御回路 13 は、制御信号  $\phi$  1,  $\phi$  2,  $\phi$  3 を出力する 20 。マルチブレクサ 14 は、各ソース線 S L 1 に対応して設けられたN型T F T 15 と、各ソース線 S L 2 に対応して設けられたN型T F T 16 と、各ソース線 S L 3 に対応して設けられたN型T F T 17 とを含む。

【 0 0 1 5 】

N型T F T 15 は、対応のソース線 S L 1 の他方端と対応のアンプ 12 の出力ノードとの間に接続され、そのゲートは制御信号  $\phi$  1 を受ける。N型T F T 16 は、対応のソース線 S L 2 の他方端と対応のアンプ 12 の出力ノードとの間に接続され、そのゲートは制御信号  $\phi$  2 を受ける。N型T F T 17 は、対応のソース線 S L 3 の他方端と対応のアンプ 12 の出力ノードとの間に接続され、そのゲートは制御信号  $\phi$  3 を受ける。

【 0 0 1 6 】

ソース制御回路 11 は、画像信号に従って、各 1 水平期間において各グループの R, G, B 用の階調電位 V G を所定時間ずつ順次出力する。各アンプ 12 は、ソース制御回路 11 から与えられた階調電位 V G を電流増幅する。マルチブレクサ制御回路 13 は、ソース制御回路 11 と同期して動作し、各 1 水平期間において制御信号  $\phi$  1 ~  $\phi$  3 を所定時間ずつ順次「H」レベルにし、N型T F T 15 ~ 17 を所定時間ずつ順次導通させる。各液晶セル 2 に階調電位 V G が書き込まれると、画素アレイ 1 には 1 つのカラー画像が表示される。 30

【 0 0 1 7 】

図 2 は、図 1 に示したカラー液晶表示装置の動作を示すタイムチャートである。図 2 において、このカラー液晶表示装置では、1 ラインコモン反転駆動方式が採用されており、説明の簡単化のため各画素はノーマルホワイトであり黒表示を行なうものとする。 40

【 0 0 1 8 】

1 ラインコモン反転駆動方式では、共通電位 V C O M は「L」レベル V C L と「H」レベル V C H の 2 つのレベルを有し、共通電位 V C O M のレベルは 1 水平期間 ( 1 ライン ) ごとに反転される。水平期間 1 では共通電位 V C O M は「L」レベル V C L にされ、水平期間 2 では共通電位 V C O M は「H」レベル V C H にされる。階調電位 V G は、水平期間 1 では共通電位 V C O M = V C L よりも高い電位すなわち正極性にされ、水平期間 2 では共通電位 V C O M = V C H よりも低い電位すなわち負極性にされる。通常は、階調電位 V G は 1 水平期間において R, G, B 用に 3 つのレベルに変化されるが、ここでは黒表示を行なうので階調電位 V G は「H」レベル V S H または「L」レベル V S L に保持される。

【 0 0 1 9 】

時刻  $t_4 \sim t_5$ において信号  $\phi_1$  が活性化レベルの「H」レベルにされると、マルチブレクサ14のN型TFT15が導通し、R用のソース線SL1が「H」レベルVSHにされる。時刻  $t_6 \sim t_7$ において信号  $\phi_2$  が活性化レベルの「H」レベルにされると、マルチブレクサ14のN型TFT16が導通し、G用のソース線SL2が「H」レベルVSHにされる。時刻  $t_8 \sim t_9$ において信号  $\phi_3$  が活性化レベルの「H」レベルにされると、マルチブレクサ14のN型TFT17が導通し、B用のソース線SL3が「H」レベルVSHにされる。これにより、ある1ライン分の液晶セル2の一方電極に「H」レベルVSHが書込まれる。

## 【0020】

時刻  $t_{10}$ において信号PRが活性化レベルの「H」レベルに立上げられると、プリチャージ回路7の各N型TFT8が導通し、全ソース線SLの電位がイコライズされる。このときソース線SLの電位は、ソース線SLの寄生容量4の蓄積電荷とそれ以前にキャパシタ9に蓄積されていた電荷とを合わせて平衡状態になったときの電荷によって定まる電位VPとなる。この電位VPは、1ライン周期の横縞画像のように隣接したラインの画像データが大きく異なる特殊な画像が連続表示される場合を除き、自然画のような通常の画像が連続表示される場合は、階調電位VGの中間レベル( $VSH + VSL$ ) / 2になる。

## 【0021】

次いで時刻  $t_{11}$ において共通電位VCOMが「L」レベルVCLから「H」レベルVCHに立上げられる。このとき従来(一点鎖線)であれば、共通電極およびソース線SL間の寄生容量4により、ソース線SLの電位も共通電位VCOMの振幅電圧 $V_C = V_{CH} - V_{CL}$ に略等しい電圧だけ上昇し、その電位をソース線SLの「L」レベルVSLに近いプリチャージ電位VP2にするために大きな電力が消費されていた(時刻  $t_{12}$ )。これに対して本願発明では、各ソース線SLが大容量のキャパシタ9に低インピーダンスで接続されているので、ソース線SLの電位がVPのまま変化しない。したがって、消費電力が小さくて済む。

## 【0022】

次に時刻  $t_{13}$ において信号PRが非活性化レベルの「L」レベルに立下げられ、各N型TFT8が非導通にされてプリチャージが停止されるとともに、階調電位VGが「H」レベルVSHから「L」レベルVSLに立下げられる。次いで時刻  $t_{14} \sim t_{15}$ において信号  $\phi_1$  が「H」レベルにされ、N型TFT15が導通してR用のソース線SL1が「L」レベルVSLにされる。時刻  $t_{16} \sim t_{17}$ において信号  $\phi_2$  が「H」レベルにされ、N型TFT16が導通してG用のソース線SL2が「L」レベルVSLにされる。時刻  $t_{18} \sim t_{19}$ において信号  $\phi_3$  が「H」レベルにされ、N型TFT17が導通してB用のソース線SL3が「L」レベルVSLにされる。これにより、次ぎの1ライン分の液晶セル2の一方電極に「L」レベルVSLが書込まれる。

## 【0023】

このようにして、各液晶セル2に階調電位VGが与えられると、各液晶セル2は階調電位VGに応じた光透過率を示し、画素アレイ1には1枚のカラー画像が表示される。

## 【0024】

この実施の形態1では、共通電位VCOMのレベル変化の前に全ソース線SLを短絡するとともにキャパシタ9に接続し、共通電位VCOMのレベル変化に伴うソース線SLの電位変動をキャパシタ9で吸収するので、ソース線SLの電位変動が小さくなり、消費電力が小さくて済む。

## 【0025】

また、プリチャージ電位VPは階調電位VGの中間レベル( $VSH + VSL$ ) / 2になるので、ソース線SLの充電電力と放電電力の差を小さくすることができ、アンプ12の最大駆動能力を小さくすることができる。したがって、アンプ12のアイドリング電流を小さくすることができ、消費電力の低減化を図ることができる。たとえばQVGAフォーマットの場合はソース線SLが720本あり、アンプ12は240個があるので、アンプ12のアイドリング電流を減らすことはカラー液晶表示装置全体の消費電力の低減化に対する50

効果が大きい。

【0026】

また、図2に示すように、共通電位VCOMの反転時（たとえば時刻t1, t2）におけるマルチプレクサ14のN型TFT15のソースードレイン間電圧VSD1の変動がなくなるので、N型TFT15～17の漏れ電流が小さくなり、消費電力の低減化を図ることができる。

【0027】

なお、実施の形態1では、プリチャージ信号PRは、たとえば時刻t10で「H」レベルに立下げられ、時刻t13で「L」レベルに立下げられたが、信号φ3が「L」レベルにされた時刻（たとえばt9）から共通電位VCOMが反転される時刻（この場合はt11 10）までの期間のいずれの時刻にプリチャージ信号PRを「H」レベルに立上げてもよく、共通電位VCOMが反転された時刻（この場合はt11）から信号φ1が「H」レベルに立上げられる時刻（この場合はt14）までの期間のいずれの時刻にプリチャージ信号PRを「L」レベルに立下げてもよい。

【0028】

また、この実施の形態1では、1ラインごとに共通電位VCOMおよび階調電位VGのレベルを反転させる1ラインコモン反転駆動方式に本発明が適用された場合について説明したが、本願発明は、複数ラインごとに反転させる複数ラインコモン反転駆動方式、1フレームごとに反転させる1フレームコモン反転駆動方式にも適用可能であることは言うまでもない。

20

【0029】

図3は、この実施の形態1の変更例を示す回路ブロック図である。図3を参照して、このカラー液晶表示装置が図1のカラー液晶表示装置と異なる点は、プリチャージ回路7がプリチャージ回路20で置換されている点である。プリチャージ回路20は、各ソース線SLに対応して設けられたN型TFT8およびキャパシタ21を含む。N型TFT8およびキャパシタ21は対応のソース線SLの一方端と接地電位VSSのラインとの間に直列接続され、N型TFT8のゲートはプリチャージ信号PRを受ける。キャパシタ21の容量値は、ソース線SLの寄生容量4の容量値よりも十分大きく設定されている。この場合でも、キャパシタ21の一方電極の電位VPは階調電位VGの中間レベル( $VSH + VSL$ )/2になり、図1のカラー液晶表示装置と同じ効果が得られる。

30

【0030】

また、1つのキャパシタ9を使用する図1のカラー液晶表示装置は、部品点数が少ないので画素アレイ1と別個の基板にキャパシタ9を設ける場合には好適であるが、画素アレイ1と同じ基板にキャパシタ9を設ける場合はソース線SLとキャパシタ9の間の配線が長くなるという問題がある。これに対して図3のカラー液晶表示装置では、画素アレイ1と同じ基板にキャパシタ21を設ける場合においてソース線SLとキャパシタ21の間の配線が短くて済むというメリットがある。

【0031】

また、図4は、実施の形態1の他の変更例を示す回路ブロック図である。図4を参照して、このカラー液晶表示装置が図3のカラー液晶表示装置と異なる点は、プリチャージ回路20がプリチャージ回路25および他の画素アレイ26で置換されている点である。プリチャージ回路25は、各ソース線SLに対応して設けられたN型TFT8を含む。各N型TFT8は、他の画素アレイ26のソース線（図示せず）と画素アレイ1の対応ソース線SLの一方端との間に接続され、そのゲートはプリチャージ信号PRを受ける。折り畳み式の携帯電話機などでは、複数の画素アレイでアンプ12を共用する方式が採用されている。その場合に、他の画素アレイ26のソース線を図3のキャパシタ21として使用することにより、キャパシタ21を別途設ける必要がなくなり、構成の簡単化を図ることができる。

40

【0032】

また、図5は、実施の形態1のさらに他の変更例を示すタイムチャートである。図5を参 50

照して、このカラー液晶表示装置が図 1 および図 2 のカラー液晶表示装置と異なる点は、プリチャージ信号  $P_R$  が、共通電位  $V_{COM}$  が反転される時刻（たとえば  $t_{11}$ ）から所定時間  $t_{11} \sim T_{11}$ （ただし、 $T_{11}$  は  $t_{11}$  と  $t_{13}$  の間の時刻である）だけ「L」レベルにされる点である。この変更例では、ソース線  $SL$  の電位変動が図 2 の場合に比べて大きくなるが、消費電力は図 1 および図 2 の場合と同様に小さくて済む。

【 0 0 3 3 】

【実施の形態 2】

図 6 は、この発明の実施の形態 2 によるカラー液晶表示装置の構成を示す回路ブロック図である。図 6 を参照して、このカラー液晶表示装置が図 1 のカラー液晶表示装置と異なる点は、プリチャージ回路 7 がプリチャージ回路 30 で置換されている点である。プリチャージ回路 30 は、プリチャージ回路 7 にコンパレータ 31, 32、直流電源 33～35 および N 型 TFT 36 を追加したものである。直流電源 33 は、キャパシタ 9 の一方電極（ノード N9）の目標電位  $V_{PT} = (V_{SH} + V_{SL}) / 2$  を出力する。N 型 TFT 36 のドレインは直流電源 35 の出力電位  $V_{PD}$  を受け、そのソースはノード N9 に接続され、そのゲートはプリチャージ制御回路 6 からの制御信号  $\phi_C$  を受ける。

【 0 0 3 4 】

コンパレータ 31 は、ノード N9 の電位  $V_P$  と直流電源 33 の出力電位  $V_{R1} = V_{TP} + \Delta V$  とを比較し、 $V_P > V_{R1}$  の場合は検知信号  $\phi_{D1}$  を「H」レベルにし、 $V_P < V_{R1}$  の場合は検知信号  $\phi_{D1}$  を「L」レベルにする。ここで  $\Delta V$  は、 $V_{TP}$  よりも十分小さい電圧である。コンパレータ 32 は、ノード N9 の電位  $V_P$  と直流電源 34 の出力電位  $V_{R2} = V_{TP} - \Delta V$  とを比較し、 $V_P > V_{R2}$  の場合は検知信号  $\phi_{D2}$  を「H」レベルにし、 $V_P < V_{R2}$  の場合は検知信号  $\phi_{D2}$  を「L」レベルにする。

【 0 0 3 5 】

プリチャージ制御回路 6 は、検知信号  $\phi_{D1}$ ,  $\phi_{D2}$  に基づいて、 $V_P < V_{R2}$  または  $V_P > V_{R1}$  の場合は制御信号  $\phi_C$  を「H」レベルにし、N 型 TFT 36 を導通させて  $V_P = V_{PT}$  にし、 $V_{R2} < V_P < V_{R1}$  の場合は制御信号  $\phi_C$  を「L」レベルにして N 型 TFT 36 を非導通にする。したがって、 $V_P$  は  $V_{R2}$  と  $V_{R1}$  の間の電位に維持される。

【 0 0 3 6 】

図 1 のカラー液晶表示装置では、電源投入からキャパシタ 9 が所定電圧 ( $V_{SH} + V_{SL}$ ) / 2 に充電されるまで所定時間が必要となり、その間はアンプ 12 の消費電力が大きくなる。また、1 ライン周期の横縞画像のように隣接ラインの画像データが大きく異なる特殊画像が表示されると、キャパシタ 9 の端子間電圧  $V_P$  は所定電圧 ( $V_{SH} + V_{SL}$ ) / 2 から外れてしまう。これに対して、この実施の形態 2 では、キャパシタ 9 の端子間電圧  $V_P$  を所定の範囲  $V_{R2} \sim V_{R1}$  に保持することができ、消費電力を小さくすることができる。

【 0 0 3 7 】

また、図 7 は、この実施の形態 2 の変更例を示す回路ブロック図である。図 7 を参照して、このカラー液晶表示装置が図 6 のカラー液晶表示装置と異なる点は、プリチャージ回路 30 がプリチャージ回路 37 で置換されている点である。プリチャージ回路 37 は、プリチャージ回路 30 からコンパレータ 31 および直流電源 33 を除去したものである。プリチャージ制御回路 6 は、検知信号  $\phi_{D2}$  に基づいて、 $V_P < V_{R2}$  の場合は制御信号  $\phi_C$  を「H」レベルにし、N 型 TFT 36 を導通させて  $V_P = V_{PT}$  にし、 $V_{R2} < V_P$  の場合は制御信号  $\phi_C$  を「L」レベルにし、N 型 TFT 36 を非導通にする。したがって、 $V_P$  は  $V_{R2}$  以上の電位に維持されるので、図 1 のカラー液晶表示装置よりも消費電力が小さくて済む。

【 0 0 3 8 】

また、図 8 は、この実施の形態 2 の他の変更例を示す回路ブロック図である。図 8 を参照して、このカラー液晶表示装置のプリチャージ回路 38 は、図 7 のプリチャージ回路 37 からコンパレータ 32 および直流電源 34 を除去したものである。プリチャージ制御回路 6 は、所定周期で制御信号  $\phi_C$  を所定時間だけ「H」レベルにし、N 型 TFT 36 を導通

10

20

30

40

50

させてノードN10の電位VPを目標電位VPTにする。したがって、VPはVPTに維持されるので、消費電力が小さくて済む。

【0039】

【実施の形態3】

図9は、この発明の実施の形態3によるカラー液晶表示装置の構成を示す回路ブロック図である。図9を参照して、このカラー液晶表示装置が図1のカラー液晶表示装置と異なる点は、画像判定回路41、インバータ42およびNORゲート43が追加されている点である。画像メモリ内蔵コントローラ40は、図1では図示が省略されているだけで実際には設けられている。

【0040】

画像判定回路41は、画像メモリ内蔵コントローラ40内の画像メモリデータの全部または一部のデータに基づいて階調電位VGが全体的に大きいか小さいかを判定する。そして画像判定回路41は、階調電位VGが全体的に大きい場合は信号φDを「L」レベルにし、階調電位VGが全体的に小さい場合は信号φDを「H」レベルにする。信号φDは、NORゲート43の一方入力ノードに入力される。プリチャージ信号PRは、インバータ42を介してNORゲート43の他方入力ノードに入力される。NORゲート43の出力信号は、各N型TFT8のゲートに与えられる。

【0041】

階調電位VGが全体的に大きい場合（画像が全体的に黒っぽい場合）は、信号φDが「L」レベルにされ、プリチャージ信号PRはインバータ42およびNORゲート43を通過して各N型TFT8のゲートに与えられる。この場合は、図1のカラー液晶表示装置と同じ構成になる。階調電位VGが全体的に小さい場合（画像が全体的に白っぽい場合）は、信号φDが「H」レベルにされ、各N型TFT8のゲートは「L」レベルに固定され、各N型TFT8は非導通状態に固定される。この場合は、プリチャージは行なわれない。

【0042】

図1のカラー液晶表示装置では、表示する画像が白っぽい場合（たとえば画像全体がノーマルホワイトの場合）のように階調電位VGが小さい場合は、プリチャージを行なうことによって極性反転時の消費電力がかえって増加してしまう。これに対して、この実施の形態3では、画像が白っぽい場合はプリチャージを停止するので、消費電力は小さくて済む。

【0043】

【実施の形態4】

図10は、この発明の実施の形態4によるカラー液晶表示装置の構成を示す回路ブロック図である。図10を参照して、このカラー液晶表示装置が図1のカラー液晶表示装置と異なる点は、プリチャージ回路7がプリチャージ回路50で置換されている点である。プリチャージ回路50は、各ソース線SLに対応して設けられたN型TFT51, 52と、2つの直流電源53, 54を含む。直流電源53, 54は、それぞれ水平期間1, 2用のプリチャージ電位VP1, VP2を出力する。プリチャージ制御回路6は、それぞれ水平期間1, 2用のプリチャージ信号PR1, PR2を出力する。各N型TFT51は、直流電源53の出力端子と対応のソース線SLの一方端との間に接続され、そのゲートはプリチャージ信号PR1を受ける。各N型TFT52は、直流電源54の出力端子と対応のソース線SLの一方端との間に接続され、そのゲートはプリチャージ信号PR2を受ける。

【0044】

図11は、このカラー液晶表示装置の動作を示すタイムチャートである。共通電位VCOM、階調電位VG、制御信号φ1～φ3は、図2と同様にレベル変化する。図11において、従来のプリチャージ信号PR11は、共通電位VCOMが「L」レベルに立下げられた後の時刻（たとえばt2）から信号φ1が「H」レベルに立上げられる時刻（この場合はt4）までの間の時刻（この場合はt3）に「H」レベルにされていた。このため共通電位VCOMが「L」レベルに立下げられると（時刻t1）、図中一点鎖線に示すように、ソース線SLの寄生容量4を介してソース線SLの電位が共通電位VCOMの振幅電圧

10

20

30

40

50

V C に略等しい電圧だけ立下げられていた。

【 0 0 4 5 】

これに対して本願発明では、プリチャージ信号 P R 1 は、信号  $\phi$  3 が「L」レベルに立下げられてから共通電位 V C O M が「L」レベルに立下げられるまでの所定の時刻（たとえば  $t_0$ ）に「H」レベルに立上げられ、共通電位 V C O M が「L」レベルに立下げられてから信号  $\phi$  1 が「H」レベルに立上げられるまでの所定の時刻（この場合は  $t_3$ ）に「L」レベルに立下げられる。したがって、共通電位 V C O M が「L」レベルに立下げられるときは、各ソース線 S L は N 型 T F T 5 1 を介して直流電源 5 3 の出力端子に接続されているので、ソース線 S L の電位が変動することはない。

【 0 0 4 6 】

また、従来のプリチャージ信号 P R 1 2 は、共通電位 V C O M が「H」レベルに立上げられた後の時刻（たとえば  $t_{12}$ ）から信号  $\phi$  1 が「H」レベルに立上げられる時刻（この場合は  $t_{14}$ ）までの時刻（この場合は  $t_{13}$ ）に「H」レベルにされていた。このため共通電位 V C O M が「H」レベルに立上げられると（時刻  $t_{11}$ ）、図中一点鎖線で示すように、ソース線 S L の寄生容量 4 を介してソース線 S L の電位が共通電位 V C O M の振幅電圧 V C に略等しい電圧だけ立上げられていた。

10

【 0 0 4 7 】

これに対して本願発明では、プリチャージ信号 P R 2 は、信号  $\phi$  3 が「L」レベルに立下げられてから共通電位 V C O M が「H」レベルに立下げられるまでの所定の時刻（たとえば  $t_{10}$ ）に「H」レベルに立上げられ、共通電位 V C O M が「H」レベルに立上げられてから信号  $\phi$  1 が「H」レベルに立上げられるまでの所定の時刻（この場合は  $t_{13}$ ）に「L」レベルに立下げられる。したがって、共通電位 V C O M が「H」レベルに立下げられるときは、各ソース線 S L が N 型 T F T 5 2 を介して直流電源 5 4 の出力端子に接続されているので、ソース線 S L の電位が変動することはない。

20

【 0 0 4 8 】

この実施の形態 4 では、共通電位 V C O M のレベル変化の前に全ソース線 S L を短絡するとともに直流電源 5 3 または 5 4 に接続し、共通電位 V C O M のレベル変化に伴うソース線 S L の電位変動を直流電源 5 3 または 5 4 で吸収するので、ソース線 S L の電位変動が小さくなり、消費電力が小さくて済む。

【 0 0 4 9 】

30

また、図 1 1 に示すように、共通電位 V C O M の反転時（たとえば時刻  $t_1$ ,  $t_2$ ）におけるマルチプレクサ 1 4 の N 型 T F T 1 5 のソースードレイン間電圧 V S D 1 の変動がなくなるので、N 型 T F T 1 5 ~ 1 7 の漏れ電流が小さくなり、消費電力の低減化を図ることができる。

【 0 0 5 0 】

【 実施の形態 5 】

図 1 2 は、この発明の実施の形態 5 によるカラー液晶表示装置の構成を示す回路ブロック図である。図 1 2 を参照して、このカラー液晶表示装置が図 1 のカラー液晶表示装置と異なる点は、マルチプレクサ制御回路 1 3 およびマルチプレクサ 1 4 が除去され、ソース線駆動回路 1 0 がソース線駆動回路 5 5 で置換されている点である。ソース線駆動回路 5 5 40 は、ソース制御回路 1 1 と、各ソース線 S L に対応して設けられたアンプ 1 2 とを含む。

40

【 0 0 5 1 】

ソース制御回路 1 1 は、外部映像信号に従って、各 1 水平期間において各ソース線 S L 用の階調電位 V G を出力するとともに、アンプ制御信号  $\phi$  A を出力する。各アンプ 1 2 は、信号  $\phi$  A が「L」レベルの場合はソース制御回路 1 1 から与えられた階調電位 V G を電流増幅して対応のソース線 S L に与え、信号  $\phi$  A が「H」レベルの場合はその出力ノードをハイインピーダンス状態にする。

【 0 0 5 2 】

図 1 3 は、このカラー液晶表示装置の動作を示すタイムチャートである。図 1 3 において、共通電位 V C O M は「L」レベル V C L と「H」レベル V C H を有し、共通電位 V C O 50

Mのレベルは1水平期間(1ライン)ごとに反転される。水平期間1では共通電位VCO Mは「L」レベルVCLにされ、水平期間2では共通電位VCOMは「H」レベルVCHにされる。階調電位VGは、共通電位VCOMよりも所定時間だけ遅延して変化し、水平期間1では共通電位VCOM=VCLよりも高い電位すなわち正極性にされ、水平期間2では共通電位VCOM=VCHよりも低い電位すなわち負極性にされる。

【 0 0 5 3 】

時刻t4～t9においてアンプ制御信号φAが「L」レベルにされると各アンプ12が活性化され、各ソース線SLが「H」レベルVSHにされる。時刻t9において信号φAが「H」レベルに立上げられると、各アンプ12の出力ノードはハイインピーダンス状態にされる。時刻t10においてプリチャージ信号PRが「H」レベルに立上げられると、プリチャージ回路7の各N型 TFT8が導通して各ソース線SLがキャパシタ9の一方電極に接続されてプリチャージ電位VPにされる。  
10

【 0 0 5 4 】

時刻t11において共通電位VCOMが「L」レベルVCLから「H」レベルVCHに立上げられる。このとき従来(一点鎖線)であれば、ソース線SLの寄生容量4によるソース線SLの電位変化がアンプ12によって補償され、アンプ12において大きな電力が消費されていた。これに対して本願発明では、ソース線SLの電位変化がキャパシタ9に吸収されるので、消費電力が小さくて済む。

【 0 0 5 5 】

プリチャージ信号PRは、共通電位VCOMが「H」レベルにされてから階調電位VGがレベル変化される前の時刻t13に「L」レベルに立下げられる。信号φAは、階調電位VGがレベル変化された後の時刻t14に「L」レベルに立下げられる。  
20

【 0 0 5 6 】

この実施の形態5でも、実施の形態1と同じ効果が得られる。

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。  
。

【 0 0 5 7 】

【発明の効果】

30

以上のように、この発明に係る液晶表示装置では、各書込期間の前の第1プリチャージ期間と、共通電極の電位の切換時の前の第2プリチャージ期間とにおいて複数のソース線の各々にプリチャージ電位を与えるプリチャージ回路が設けられる。したがって、共通電位の切換時におけるソース線の電位変動が小さくなり、消費電力が小さくて済む。

【図面の簡単な説明】

【図1】この発明の実施の形態1によるカラー液晶表示装置の構成を示す回路ブロック図である。

【図2】図1に示したカラー液晶表示装置の動作を示すタイムチャートである。

【図3】実施の形態1の変更例を示す回路ブロック図である。

【図4】実施の形態1の他の変更例を示す回路ブロック図である。  
40

【図5】実施の形態1のさらに他の変更例を示すタイムチャートである。

【図6】この発明の実施の形態2によるカラー液晶表示装置の構成を示す回路ブロック図である。

【図7】実施の形態2の変更例を示す回路ブロック図である。

【図8】実施の形態2の他の変更例を示す回路ブロック図である。

【図9】この発明の実施の形態3によるカラー液晶表示装置の構成を示す回路ブロック図である。

【図10】この発明の実施の形態4によるカラー液晶表示装置の全体構成を示す回路ブロック図である。

【図11】図10に示したカラー液晶表示装置の動作を示すタイムチャートである。  
50

【図 1 2】この発明の実施の形態 5 によるカラー液晶表示装置の構成を示す回路ブロック図である。

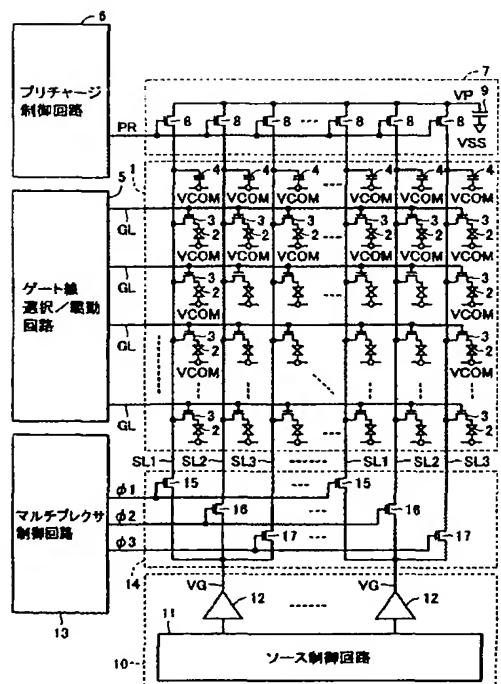
【図 1 3】図 1 2 に示したカラー液晶表示装置の動作を示すタイムチャートである。

【符号の説明】

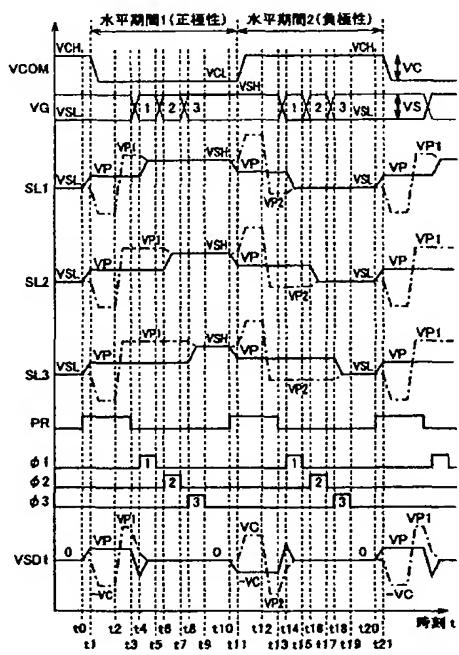
1, 26 画素アレイ、2 液晶セル、3, 8, 15~17, 36, 51, 52 N 型 TFT、4 寄生容量、GL ゲート線、SL ソース線、5 ゲート線選択／駆動回路、6 プリチャージ制御回路、7, 20, 25, 30, 37, 38, 50 プリチャージ回路、9, 21 キャパシタ、10, 55 ソース線駆動回路、11 ソース制御回路、12 アンプ、13 マルチプレクサ制御回路、14 マルチプレクサ、31, 32 コンパレータ、33~35, 53, 54 直流電源、42 インバータ、43 NOR ゲート 10。

。

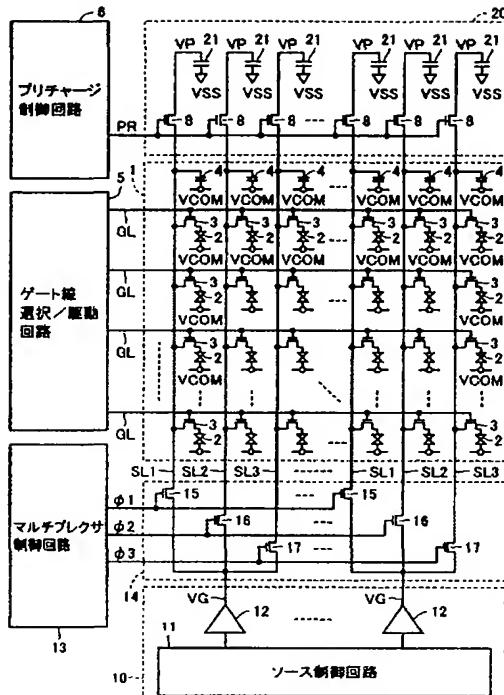
【図 1】



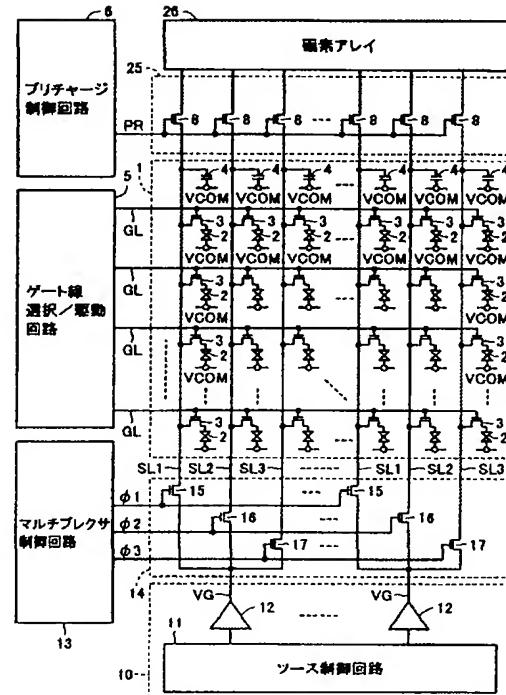
【図 2】



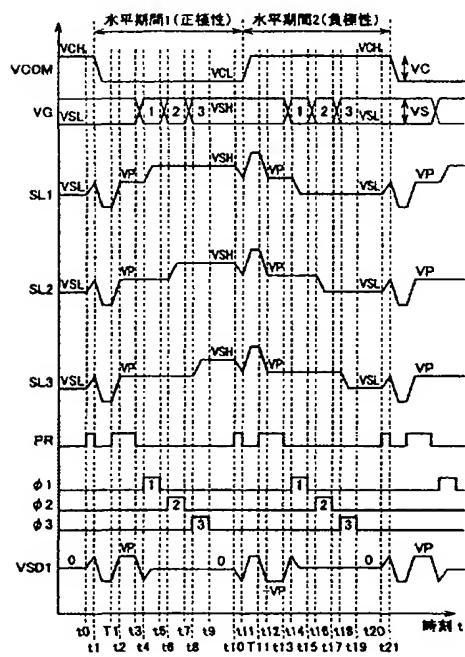
[ 四 3 ]



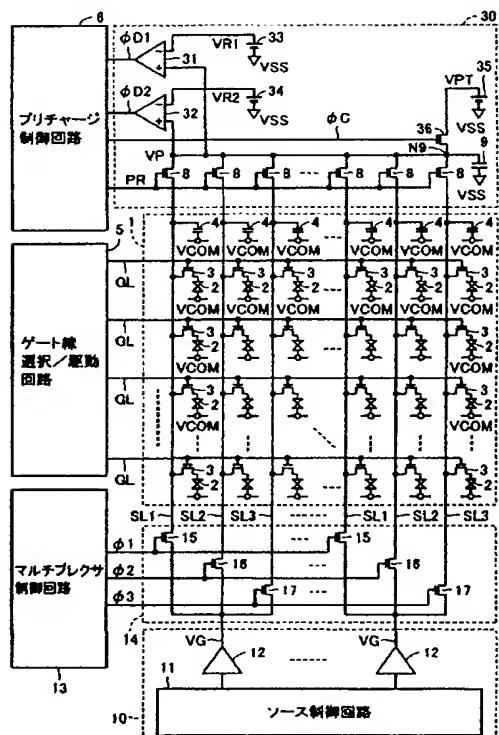
[ 図 4 ]



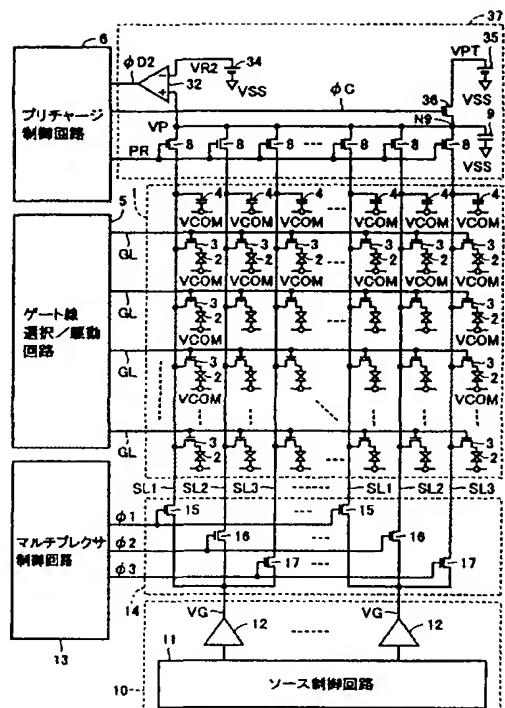
[ 図 5 ]



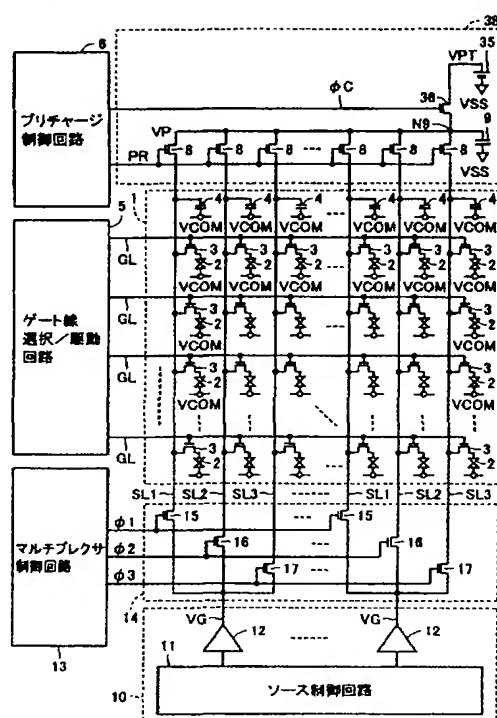
【図 6】



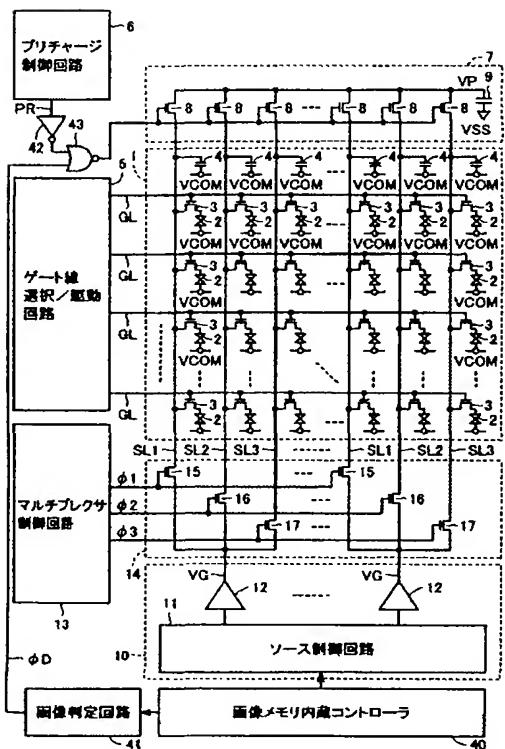
【 図 7 】



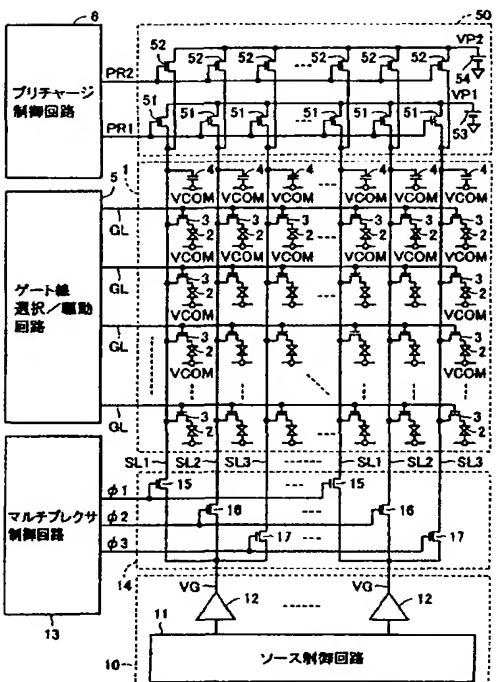
【 図 8 】



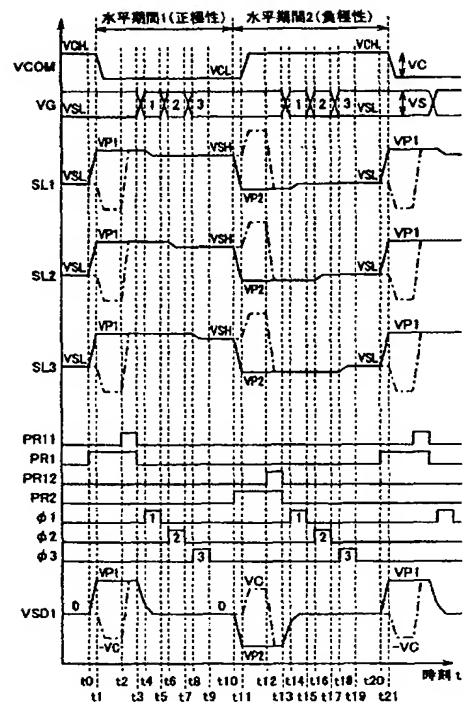
【 図 9 】



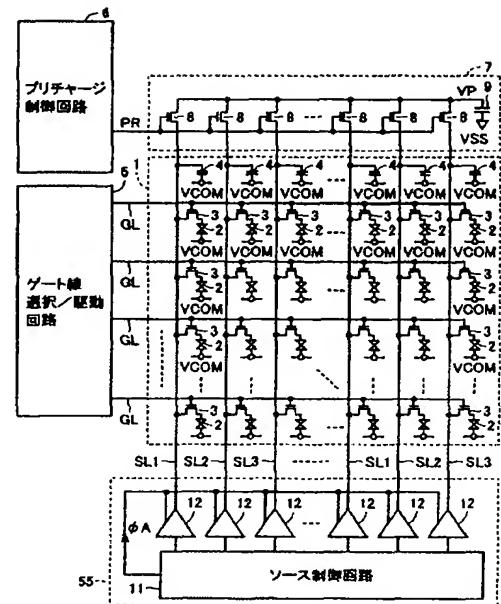
【 図 10 】



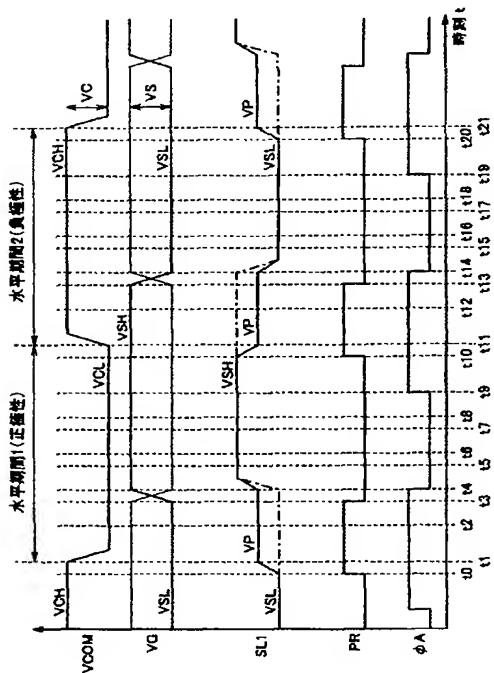
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I		テーマコード (参考)
G 0 9 G	3/20	6 2 1 K
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 X
G 0 9 G	3/20	6 2 3 Y
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 D

(72) 発明者 森 成一郎

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 村井 博之

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 西野 功

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

F ターム(参考) 2H093 NA16 NA32 NC12 NC34 ND39

5C006 AA21 AB03 AC24 AC25 AC27 AF42 AF45 AF51 AF53 AF54  
AF69 BB16 BC02 BC06 BC11 BC23 BF02 BF14 BF24 BF25  
BF37 FA04 FA47  
5C080 AA10 BB05 CC03 DD26 EE29 FF07 FF11 JJ02 JJ04 KK47